

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-65002

(43)公開日 平成10年(1998)3月6日

(51) Int.Cl. ^a	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/768			H 01 L 21/90	C
21/28			21/28	L
21/3065			21/302	J
21/8242			27/10	3 2 1
27/108				

審査請求 未請求 請求項の数1 OL (全5頁)

(21)出願番号 特願平8-222238

(22)出願日 平成8年(1996)8月23日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 金森 順

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 弁理士 前田 実

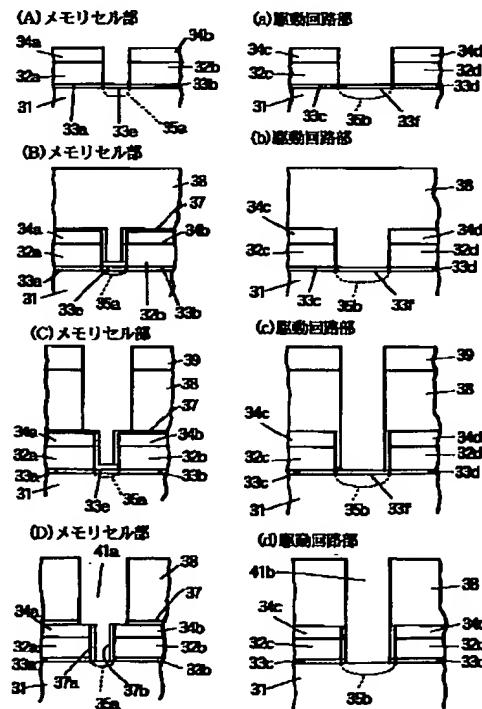
(54)【発明の名称】 コンタクトホール形成方法

(57)【要約】

【課題】 所定領域のストップ膜を容易に除去することができる。

【解決手段】 メモリセル部をSACホールとするDRAMにおいて、(A)、(a)で、シリコン基板31にゲート酸化膜33を介してゲート電極32とカバーシリコン酸化膜34を形成し、拡散層35を形成する。

(B)、(b)で、SACのストップ膜となるBST膜またはPZT膜37を全面に形成し、駆動回路部のBST膜またはPZT膜37をフッ酸溶液を用いたエッチングにより除去し、全面にCVDシリコン酸化膜の層間絶縁膜38を形成する。(C)、(c)で、CF₄およびCHF₃を主成分とするガスを用いて層間絶縁膜38をエッチングし、Cl₂またはBCl₃を主成分とするガスでメモリセル部のBST膜またはPZT膜37を方向性エッチングし、シリコン酸化膜33e、33fをして、メモリセル部と駆動回路部にコンタクトホールを形成する。



【特許請求の範囲】

【請求項1】 表面に第1のシリコン酸化膜を形成し、この第1のシリコン酸化膜上に部分的に多結晶シリコン膜と第2のシリコン酸化膜をこの順に積層して前記多結晶シリコン膜からなる第1および第2の電極を形成し、この第1、第2の電極に挟まれた領域に拡散層を形成したシリコン半導体基板上に、B ST膜あるいはP ST膜を形成する工程と、前記第1および第2の電極および拡散層を形成した基板領域以外の所定の領域において、前記B ST膜あるいはP ST膜をフッ酸溶液を用いたエッチングにより除去する工程と、この半導体基板の全面に酸化シリコンを主要成分とする層間絶縁膜を形成する工程と、前記拡散層形成領域の一部または全部を含むホール形成領域において、前記層間絶縁膜を除去して開口を形成し、これにより露出した前記B ST膜あるいはP ST膜をC₁₂またはBC₁₃を主成分とするガスを用いて前記第1および第2の電極の側壁に形成された部分が残るようにエッチングし、これにより露出した前記第1のシリコン酸化膜を除去して前記シリコン半導体基板表面に達するコンタクトホールを形成する工程とを有することを特徴とするコンタクトホール形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DRAM等の半導体装置においてSAC(セルフアライン・コンタクト)を形成するのに好適なコンタクトホール形成方法に関するものである。

【0002】

【従来の技術】半導体装置におけるコンタクトホールの形成工程は、チップの微細化および高集積化によるパターンアスペクト比の急速な増大をともない、最も形成が難しい工程の一つとなっている。例えば、パターンルールが0.25ミクロンのデバイスでは、パターンアスペクト比が5~10程度、ホール径が0.2ミクロン以下のコンタクトホールを形成する必要があるが、これを形成するためのエッチングが非常に困難になってきている。この問題を解決するものとしてSACと呼ばれる構造がある。SACホールの形成方法は、ゲート電極を覆うようにストップ膜を形成してから、CVD酸化膜からなる層間絶縁膜を形成し、前記層間絶縁膜をエッチングしてコンタクトホールを形成する際に、前記ストップ膜によりゲート電極を露出させないようにしたものである。

【0003】従来上記のストップ膜としては塗化膜が用いられていたが、層間絶縁膜と塗化膜はともにフロロカーボン系のガスによりエッチングされるため、層間絶縁膜エッチング条件のプロセスマージンが狭いという問題

【0004】そこで上記の問題を解決するものとして、ストップ膜としてアルミ酸化膜を用いる方法が開示された。

【0005】図2は従来のSACホール形成工程の一例を示す半導体装置の断面構造図である。図2(a)に示すように、シリコン基板11表面にゲート酸化膜13、多結晶シリコン膜を積層し、この多結晶シリコン膜をパターニングして、ゲート電極12a、12bを形成する。次にゲート電極12a、12b表面を覆うようにアルミ酸化膜14a、14bを形成し、またシリコン基板11に拡散層17を形成する。次に全面に層間絶縁膜15を形成し、さらにコンタクトホールパターンをフォトレジスト16によりパターニングする。

【0006】次に図2(b)に示すように、フォトレジスト16をマスクにして層間絶縁膜15、ゲート酸化膜13をCF₄またはCHF₃を主成分とするフロロカーボン系のガスを用いた方向性エッチングで除去し、コンタクトホール19を形成する。このときアルミ酸化膜14a、14bはほとんどエッチングされずに残留するので、コンタクトホールパターンを大きくしても、コンタクトホール19内に埋め込まれる配線とゲート電極12a、12bがショートすることがない。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来の技術においてストップ膜として用いられているアルミ酸化膜は等方性のラジカルエッチングやウエットエッチングではほとんどエッチングされず、また方向性イオンエッチングではC₁₂またはBC₁₃を主成分とする塩素系ガスを用いてエッチングできるが、SACを形成しない領域でアルミ酸化膜を除去したい領域がある場合に、その領域のゲート電極等の側壁部に形成されたアルミ酸化膜を除去するには非常に時間がかかり、不必要な部分をエッチングしてしまうという問題があった。

【0008】例えば、DRAMにおいては、メモリセル部に比べて駆動回路部を構成するトランジスタの電気的特性により厳しい性能が要求され、またメモリセル部に比べて駆動回路部のパターンルールは緩く、SACを採用するに至らない。このような場合に、ゲート電極のサイドウォール膜としてシリコン酸化膜以外の膜(すなわちアルミ酸化膜)が残留しているトランジスタは、サイドウォール膜がシリコン酸化膜であるトランジスタに比べて良い電気的特性を示さない。そこで駆動回路部においては、トランジスタの電気的特性を良くするために、ゲート電極の側壁に残留するアルミニウム酸化膜を除去する必要がある。

【0009】本発明は、このような従来の問題を解決するものであり、層間絶縁膜エッチング条件のプロセスマージンを充分にとることができ、かつストップ膜を容易に除去することが可能なコンタクトホール形成方法を提

【0010】

【課題を解決するための手段】上記目的を達成するためには本発明のコンタクトホール形成方法は、ストップ膜として BST 膜あるいは PZT 膜を用いることを特徴とするものである。

【0011】ここで BST 膜とは、スパッタ法等により形成された、バリウムとストロンチウムとチタンと酸素からなる非晶質膜であり、また PZT 膜とは、スパッタ法等により形成された、鉛とジルコニウムとチタンと酸素からなる非晶質膜である。

【0012】上記の BST 膜あるいは PZT 膜は、酸化バリウムと酸化ストロンチウムと酸化チタンの焼結体または酸化鉛と酸化ジルコニウムと酸化チタンの焼結体とは異なり、フッ酸溶液を用いてゲート電極等の側壁部も含めて完全にかつ容易に除去することができる。また上記のフロロカーボン系ガスを用いたエッチングにおいては、シリコン酸化膜に対する選択比としてアルミ酸化膜と同等の $1/15 \sim 1/100$ 程度を確保でき、また上記の塩素系ガスを用いたエッチングにおいては、シリコン酸化膜に対する選択比として $2 \sim 3$ 程度を確保できる。すなわち SAC ホール形成におけるストップ膜として充分に機能する。

【0013】従って、上記の BST 膜あるいは PZT 膜をストップ膜として用いることにより、ゲート電極と配線がショートすることができない SAC ホールを形成できるとともに、DRAM の駆動回路部のようなストップ膜を除去することが好ましい領域において、容易に除去することが可能となる。

【0014】

【発明の実施の形態】図1は本発明の実施の形態を示すコンタクトホール形成工程におけるDRAMメモリセル部と駆動回路部の断面構造図であり、メモリセル部のみSACホールとする。図1において、(A)～(D)はメモリセル部のホール形成過程を示し、(a)～(d)はそれぞれ(A)～(D)に対応する駆動回路部のホール形成過程を示す。

【0015】まず、図1の(A)および(a)において、シリコン基板31表面にゲート酸化膜となる膜厚 $5 \sim 10$ [nm]のシリコン酸化膜33と、ゲート電極となる膜厚 $150 \sim 400$ [nm]の多結晶シリコン膜32と、CVD等により形成され、カバーシリコン酸化膜となる膜厚 $100 \sim 200$ [nm]のシリコン酸化膜34をこの順に積層し、シリコン酸化膜34と多結晶シリコン膜32をエッチングによりパターニングしてゲート電極32a～32dおよびカバーシリコン酸化膜34a～34dを形成する。尚、ゲート電極下のシリコン酸化膜33は、ゲート酸化膜33a～33dとなる(ゲート酸化膜間のシリコン酸化膜33を33e、33fとする)。最後にイオン注入により拡散層35a、35bを

【0016】次に、図1の(B)および(b)において、ストップとなる膜厚 $5 \sim 50$ [nm]の BST 膜または PZT 膜37を全面に形成する。

【0017】上記の BST 膜は、例えば酸化バリウムと酸化ストロンチウムと酸化チタンの焼結体をスパッタターゲットとして用い、RFスパッタにより形成する。同様に上記の PZT 膜は、例えば酸化鉛と酸化ジルコニウムと酸化チタンの焼結体をスパッタターゲットとして用い、RFスパッタにより形成する。このときの BST 膜または PZT 膜の成膜基板温度は室温～ 400°C 、圧力は数[m Torr]～ 100 [m Torr]、スパッタガスとしては Ar に酸素を $10 \sim 20\%$ 添加したもの用いる。このようにして形成された BST 膜はバリウムとストロンチウムとチタンと酸素からなる非晶質膜であり、また PZT 膜は鉛とジルコニウムとチタンと酸素からなる非晶質膜である。この BST 膜および PZT 膜はフッ酸溶液に溶解する性質を有する。

【0018】次にメモリセル部の BST 膜または PZT 膜37をフォトレジストでマスクし、5%濃度のフッ酸溶液を用いたウェットエッチングにより駆動回路部の BST 膜または PZT 膜37を除去する。これにより駆動回路部においては、ゲート電極32c、32dの側壁部も含めて BST 膜または PZT 膜37が完全に除去される。最後にメモリセル部のフォトレジストを除去して、主に CVD によるシリコン酸化膜からなる膜厚 $500 \sim 1500$ [nm]の層間絶縁膜38を形成する。

【0019】次に、図1の(C)および(c)において、層間絶縁膜38の表面にフォトレジスト39によりコンタクトホールパターンを形成し、フォトレジスト3

9をマスクとして層間絶縁膜38をエッチングする。この層間絶縁膜38のエッチングは、平行平板型 RIE (リアクティブ・イオン・エッチング) 装置において、エッチングガスとして Ar / CF₄ / CHF₃ の混合ガスを用い、圧力 1 [torr]、RFパワー 0.8 [W/cm²]、Ar ガス流量 800 [sccm]、CF₄ ガス流量 80 [sccm]、CHF₃ ガス流量 40 [sccm] という条件でエッチング処理する。このとき、層間絶縁膜38の下地膜となる BST 膜または PZT 膜37は、上記のエッチングガスによるプラズマ中にさらされてもほとんどエッチングされない。これは BST 膜中の金属元素、バリウム(Ba)、ストロンチウム(Sr)、チタン(Ti)、または PZT 膜中の金属元素、鉛(Pb)、ジルコニウム(Zr)、チタン(Ti)がフッ素と結合しても、これらのフッ素化合物の沸点が高く、除去されにくいためと推定される。ちなみに上記のフッ素化合物の沸点は以下の通りである。BaF₂ の沸点は 2137°C 、SrF₂ の沸点は 2460°C 、TiF₃ の沸点は 284°C 、PbF₂ の沸点は 1290°C 。また ZrF₄ は昇華するので沸点を持たないが、その昇華温度は TiF₃ の沸点より

40

【0020】次に、図1の(D)および(d)において、フォトレジスト39を除去し、層間絶縁膜38をマスクとしてメモリセル部のBST膜またはPZT膜37をエッチングする。この金属酸化膜混合膜37のエッチングは、ヘリコン波型エッチング装置において、エッチングガスとしてC₁₂/BC₁₃の混合ガスを用い、圧力2[m Torr]、ソースパワー1000[W]、バイアスパワー100[W]、C₁₂ガス流量5[sccm]、BC₁₃ガス流量45[sccm]という条件でエッチング処理する。またこのエッチングは方向性エッチングであるため、ゲート電極32a、32bの側壁部にはBST膜またはPZT膜37が残留する(残留BST膜または残留PZT膜37a、37b)。このとき、カバーシリコン酸化膜34a～34d、およびシリコン酸化膜33e、33fは上記のエッチングガスのプラズマ中にさらされてもほとんどエッチングされない。すなわちカバーシリコン酸化膜34a、34bによってゲート電極32a、32bが露出することを防ぎ、またシリコン酸化膜33c、33dによって拡散層35a、35bがエッチングされてしまうのを防ぐ。

【0021】次にシリコン酸化膜33e、33fをエッチングにより除去する。尚、このときのエッチング装置およびエッチング条件は、例えば、上記の層間絶縁膜38のエッチングと同じとする。またこのときカバーシリコン酸化膜34a～34dが若干エッチングされるが、これはほとんど問題ないレベルにおさええることができる。最後にフォトレジストパターン39を除去する。このようにして、メモリセル部においてはゲート電極32a、32bに対してセルファーライン的に形成され、かつゲート電極が配線とショートすることがないコンタクトホール41aが得られ、また駆動回路部においてはゲート電極32c、32dの側壁部をシリコン酸化膜(層間絶縁膜38)とするコンタクトホール41bが得られ

る。

【0022】このように上記実施の形態によれば、ストップ膜として、BST膜またはPZT膜を用いることにより、メモリセル部において、ゲート電極と配線がショートすることがないSACホールを形成できるとともに、駆動回路部においてゲート電極の側壁部がシリコン酸化膜であるコンタクトホールを形成することが可能となり、駆動回路部トランジスタの電気的特性を改善することができる。

10 【0023】

【発明の効果】以上のように本発明によれば、ストップ膜としてBST膜またはPZT膜を用いることにより、ゲート電極と配線がショートすることがないSACホールを形成できるとともに、DRAMの駆動回路部のようなストップ膜を除去することが好ましい領域において、容易に除去することが可能となるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態を示すコンタクトホール形成工程におけるDRAMの断面構造図である。

20 【図2】従来のコンタクト(SAC)ホール形成工程の一例を示す半導体装置の断面構造図である。

【符号の説明】

31 シリコン基板

32a～32d ゲート電極

33a～33d ゲート酸化膜(シリコン酸化膜)

33e、33f シリコン酸化膜

34a～34d カバーシリコン酸化膜

35a、35b 拡散層

37 BST膜またはPZT膜

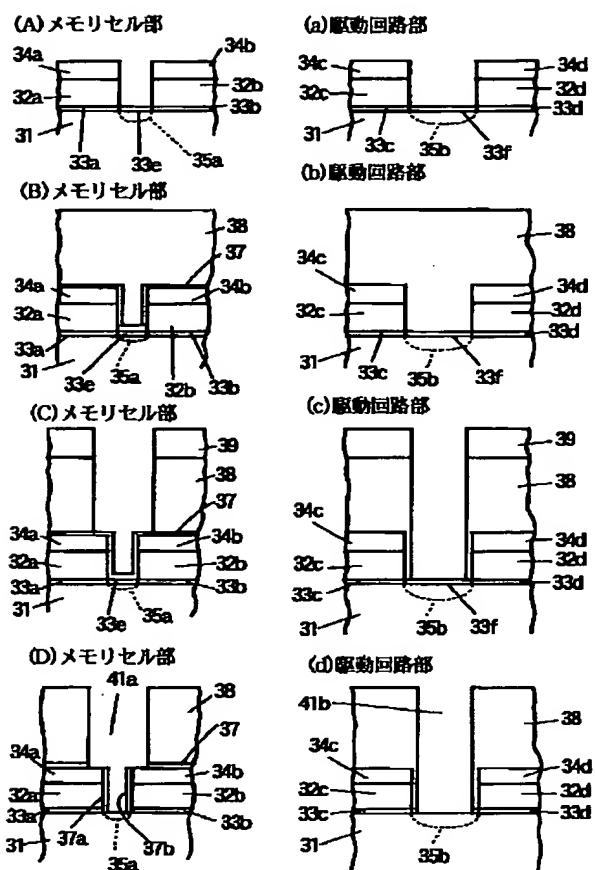
37a、37b 残留BST膜または残留PZT膜

38 層間絶縁膜(シリコン酸化膜)

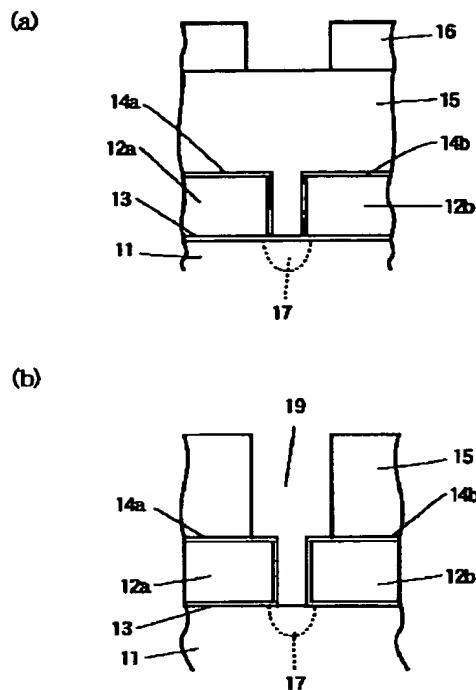
39 フォトレジスト

41a、41b コンタクトホール

【図1】

本発明の実施の形態を示すコンタクトホール形成工程における
断面構造図

【図2】

従来のコンタクトホール形成工程を
示す半導体装置の断面構造図

CLIPPEDIMAGE= JP410065002A
PAT-NO: JP410065002A
DOCUMENT-IDENTIFIER: JP 10065002 A
TITLE: CONTACT HOLE FORMING METHOD

PUBN-DATE: March 6, 1998

INVENTOR-INFORMATION:

NAME
KANAMORI, JUN

ASSIGNEE-INFORMATION:

NAME	COUNTRY
OKI ELECTRIC IND CO LTD	N/A

APPL-NO: JP08222238

APPL-DATE: August 23, 1996

INT-CL_(IPC): H01L021/768; H01L021/28 ; H01L021/3065 ;
H01L021/8242
; H01L027/108

ABSTRACT:

PROBLEM TO BE SOLVED: To facilitate the removal of the stopper film in a prescribed area.

SOLUTION: In DRAM where a memory cell part is set to be an SAC (cell alignment contact) hole, gate electrodes 32c and 32d and cover silicon oxide films 34c and 34d are formed through gate oxide films 33c and 33d, and a diffused layer 35b is formed in (A) and (a). In (B) and (b), a BST film or a PZT film 37 becoming the stopper film of SAC is formed on the whole face, the BST film or the PZT film 37 of a driving circuit part is removed by etching using hydrofluoric solution, and the inter-layer insulating film 3 of a CVD silicon oxide film is formed on the whole surface. In (C) and (c), the inter-layer insulating film 38 is etched by using gas having CF₄ and CHF₃ as main components, the BST film or the PZT film 37 of the memory cell part is etched with directivity by gas having Cl₂ or BC_l₃ as the main

component, and contact holes are formed in the memory cell part
and the driving
circuit part with silicon oxide films 33e and 33f.

COPYRIGHT: (C)1998, JPO